

MARIUSZ BARSKI, WOJCIECH JĘDRUCH

UKŁADY CYFROWE

PODSTAWY PROJEKTOWANIA
I OPIS W JĘZYKU **VHDL**

GDAŃSK 2015

PRZEWODNICZĄCY KOMITETU REDAKCYJNEGO
WYDAWNICTWA POLITECHNIKI GDAŃSKIEJ

Janusz T. Cieśliński

RECENZENT

Paweł Raczyński

PROJEKT OKŁADKI

Katarzyna Olszonowicz

Wydanie III – 2013

Wydano za zgodą

Rektora Politechniki Gdańskiej

Oferta wydawnicza Politechniki Gdańskiej jest dostępna pod adresem
<http://www.pg.edu.pl/wydawnictwo/katalog>
zamówienia prosimy kierować na adres wydaw@pg.gda.pl

Utwór nie może być powielany i rozpowszechniany, w jakiegokolwiek formie
i w jakikolwiek sposób, bez pisemnej zgody wydawcy

© Copyright by Wydawnictwo Politechniki Gdańskiej, Gdańsk 2015

ISBN 978-83-7348-643-0

WYDAWNICTWO POLITECHNIKI GDAŃSKIEJ

Wydanie IV. Ark. wyd. 18,4 ark. druku 11,25, 1116/905

Druk i oprawa: Totem.com.pl, sp. z. o.o., sp. k.
ul. Jacewska 89, 88-100 Inowrocław, 52 354 00 40

Spis treści

1	WIADOMOŚCI PODSTAWOWE	7
1.1	Pojęcia podstawowe	7
1.2	Przedstawianie informacji w układach cyfrowych	11
1.2.1	Systemy pozycyjne przedstawiania liczb	11
1.2.2	Naturalny system dwójkowy	13
1.2.3	System ósemkowy i szesnastkowy	16
1.2.4	Kod Graya	17
1.2.5	Kody dwójkowo-dziesiętne	19
1.2.6	Kody o stałej liczbie jedynek	20
1.2.7	Kody alfanumeryczne	21
1.2.8	Systemy dla przedstawiania liczb ze znakiem	22
1.2.9	Kody z zabezpieczeniami	23
1.2.10	Operacje arytmetyczne na liczbach dwójkowych	26
1.3	Dwuelementowa algebra Boole'a	29
1.3.1	Aksjomaty i ważniejsze tożsamości	30
1.3.2	Ważniejsze funkcje logiczne	31
1.3.3	Postacie kanoniczne funkcji logicznej	32
1.3.4	Systemy funkcjonalnie pełne	35
1.3.5	Przykłady algebr Boole'a	36
2	SYNTEZA UKŁADÓW KOMBINACYJNYCH	44
2.1	Minimalizacja funkcji logicznych	45
2.1.1	Metoda Quine'a-McCluskeya	47
2.1.2	Metoda tablic Karnaugh'a	52
2.2	Synteza strukturalna układów kombinacyjnych	57
2.3	Układy iteracyjne	61
2.4	Hazard w układach kombinacyjnych	65
3	SYNTEZA UKŁADÓW SEKWENCYJNYCH	70
3.1	Tworzenie opisu formalnego	70
3.2	Minimalizacja liczby stanów	73
3.3	Zmiana modelu układu	81
3.4	Synteza układów synchronicznych	82
3.4.1	Kodowanie stanów wewnętrznych	83
3.4.2	Przerzutniki	84
3.4.3	Wyzwalanie przerzutników i synchronizacja układów sekwencyjnych	85
3.4.4	Synteza kombinacyjna	88
3.5	Synteza układów asynchronicznych	93

3.5.1	Tworzenie grafu układu asynchronicznego	93
3.5.2	Struktura układów asynchronicznych	98
3.5.3	Kodowanie układów asynchronicznych	100
3.5.4	Synteza kombinacyjna układów asynchronicznych	104
4	REALIZACJA TECHNICZNA UKŁADÓW LOGICZNYCH	113
4.1	Układy TTL	115
4.1.1	Budowa i działanie podstawowych bramek	116
4.1.2	Charakterystyki statyczne	117
4.1.3	Parametry gwarantowane	118
4.1.4	Napięcie i prąd zasilania	120
4.1.5	Stopnie wyjściowe	120
4.2	Układy CMOS	124
4.2.1	Podstawowe własności tranzystora MOSFET	124
4.2.2	Bramki NOT, NAND i NOR	125
4.2.3	Główne charakterystyki elektryczne	127
4.2.4	Parametry gwarantowane	129
4.2.5	Bramka transmisyjna	129
4.2.6	Bramka trójstanowa	130
4.3	Seria 74	130
5	MODUŁOWE UKŁADY CYFROWE	133
5.1	Konwertery kodów	133
5.1.1	Kodery	133
5.1.2	Dekodery	135
5.1.3	Inne konwertery	137
5.2	Multipleksery	138
5.2.1	Multipleksery w syntezie układów kombinacyjnych	140
5.3	Demultipleksery	143
5.3.1	Demultipleksery w syntezie układów kombinacyjnych	144
5.4	Komparatory i sumatory	146
5.4.1	Komparatory	146
5.4.2	Sumatory	149
5.5	Przerzutniki	150
5.5.1	Inne przerzutniki	156
5.6	Rejestry	159
5.6.1	Budowa rejestrów	159
5.6.2	Liczniki pierścieniowe	162
5.6.3	Liczniki pseudopierścieniowe	163
5.6.4	Rejestry liniowe	164
5.7	Liczniki	165
5.7.1	Wiadomości ogólne	165
5.7.2	Liczniki synchroniczne	167
5.7.3	Liczniki asynchroniczne	170
5.7.4	Skracanie cyklu w licznikach MSI	173
5.8	Pamięci zapis/odczyt	176

5.8.1	Pamięci statyczne RAM	176
5.8.2	Pamięci dynamiczne RAM	177
5.8.3	Architektura pamięci RAM	178
5.8.4	Pamięci o innym dostępie	179
6	PROGRAMOWALNE MODUŁY CYFROWE	184
6.1	Połączenia programowalne	185
6.2	Struktury układów programowalnych	189
6.2.1	Układy typu PLA/PLS	192
6.2.2	Układy typu PROM	196
6.2.3	Układy typu PAL/GAL	199
6.2.4	Układy typu CPLD	204
6.2.5	Układy typu FPGA	206
7	JĘZYK VHDL	208
7.1	Struktura języka VHDL	208
7.1.1	Deklaracja elementu	209
7.1.2	Architektura elementu	210
7.2	Współbieżne elementy VHDL	212
7.2.1	Obiekty danych i ich identyfikatory	212
7.2.2	Typy i atrybuty danych	217
7.2.3	Operatory	222
7.2.4	Przeciążanie operatorów i konwersja typów	224
7.3	Sekwencyjne elementy VHDL	225
7.3.1	Procesy	225
7.3.2	Zmienne	225
7.3.3	Instrukcje sekwencyjne	226
7.3.4	Procesy kombinacyjne i zegarowe	231
7.3.5	Synchroniczne układy sekwencyjne	235
7.3.6	Asynchroniczne układy sekwencyjne	243
7.4	Strukturalne elementy VHDL	244
7.4.1	Biblioteki i pakiety	245
7.4.2	Podprogramy	246
7.4.3	Komponenty	249
7.4.4	Instrukcja generate	254
	Odpowiedzi do zadań	257
	Literatura	275