

Bogdan Pankiewicz  
Waldemar Jendernalik

Projektowanie  
*full-custom*

układów scalonych

**CMOS**

w środowisku

**Cadence Virtuoso**

Gdańsk 2016

PRZEWODNICZĄCY KOMITETU REDAKCYJNEGO  
WYDAWNICTWA POLITECHNIKI GDAŃSKIEJ

*Janusz T. Cieśliński*

RECENZENT

*Grzegorz Blakiewicz*

REDAKCJA JĘZYKOWA

*Agnieszka Frankiewicz*

PROJEKT OKŁADKI

*Katarzyna Olszonowicz*

Wydano za zgodą

Rektora Politechniki Gdańskiej

Oferta wydawnicza Politechniki Gdańskiej jest dostępna pod adresem

<http://www.pg.edu.pl/wydawnictwo/katalog>

zamówienia prosimy kierować na adres [wydaw@pg.gda.pl](mailto:wydaw@pg.gda.pl)

Utwór nie może być powielany i rozpowszechniany, w jakiegokolwiek formie  
i w jakikolwiek sposób, bez pisemnej zgody wydawcy

© Copyright by Wydawnictwo Politechniki Gdańskiej  
Gdańsk 2016

ISBN 978-83-7348-654-6

---

## SPIS TREŚCI

SPIS NAJWAŻNIEJSZYCH SKRÓTÓW I OZNACZEŃ .....	5
1. WSTĘP .....	7
2. WYMAGANIA WSTĘPNE .....	8
3. PIERWSZE URUCHOMIENIE PAKIETU CADENCE VIRTUOSO .....	8
4. PONOWNE URUCHOMIENIE CADENCE VIRTUOSO Z TECHNOLOGIĄ AMS 0,35 $\mu\text{m}$ .....	10
5. ORGANIZACJA PROJEKTU W PAKIECIE CADENCE VIRTUOSO .....	10
6. PRZYKŁAD PROJEKTU .....	11
6.1. Utworzenie własnej biblioteki, w której zostanie umieszczony projekt .....	12
6.2. Utworzenie schematu komórki „wzmacniacz” w bibliotece PROJ_TEST .....	13
6.3. Utworzenie symbolu komórki „wzmacniacz” .....	18
6.4. Utworzenie komórki testującej ( <i>test-bench</i> ) .....	20
6.5. Skonfigurowanie i wykonanie symulacji elektrycznych .....	21
6.6. Wprowadzenie poprawek w schemacie, poruszanie się po hierarchii projektu, zmienne i analiza parametryczna .....	24
6.7. Utworzenie topografii komórki .....	28
6.7.1. Organizacja okna edytora Virtuoso L i ustawienia początkowe .....	29
6.7.2. Pomiar odległości .....	31
6.7.3. Rysowanie elementów .....	31
6.7.4. Rysowanie połączeń .....	34
6.7.5. Rysowanie przelotek oraz kontaktów do podłoża i wysp .....	34
6.7.6. Definiowanie wyprowadzeń elektrycznych, tak zwanych pinów .....	35
6.7.7. Przykładowa topografia komórki „wzmacniacz” .....	36
6.8. Sprawdzenie reguł projektowych narzędziem Assura DRC .....	37
6.8.1. Uruchomienie sprawdzania reguł .....	37
6.8.2. Przegląd wyników w oknie ELW .....	40
6.8.3. Przykładowe błędy .....	41
6.9. Porównanie topografii ze schematem narzędziem Assura LVS .....	42
6.9.1. Uruchomienie narzędzia Assura LVS .....	42
6.9.2. Postępowanie w przypadku niezgodności topografii ze schematem .....	45
6.10. Ekstrakcja topografii narzędziem Assura QRC .....	49
6.10.1. Uruchomienie narzędzia Assura QRC .....	49
6.11. Symulacje po ekstrakcji .....	52
7. PAD-Y I OCHRONA PRZED ESD .....	53
8. GENERACJA PLIKÓW DO PRODUKCJI .....	56
9. PODSUMOWANIE .....	57
LITERATURA .....	57

---

DODATKI .....	59
1. Niektóre polecenia systemu Linux (shell tesh) .....	59
A. Informacje wstępne .....	59
B. Operacje na katalogach i plikach .....	60
C. Operacje na zmiennych środowiskowych .....	62
D. Pozostałe przydatne programy i polecenia .....	63
2. Konfiguracja oprogramowania i plików PDK w systemie komputerowym Katedry Systemów Mikroelektronicznych na Wydziale ETI Politechniki Gdańskiej .....	65
A. Konfiguracja środowiska Cadence .....	65
B. Konfiguracja środowiska Cadence do pracy z technologią AMS 0,35 $\mu\text{m}$ .....	66
C. Dokumentacja technologii AMS CMOS 0,35 $\mu\text{m}$ .....	66